

Бекжанов Т.М.

студент

4 курс, факультет «Радиотехнический»

Омский Государственный Технический Университет

Россия, г. Омск

Фокин Е.О.

студент

4 курс, факультет «Радиотехнический»

Омский Государственный Технический Университет

Россия, г. Омск

ПРОЕКТИРОВАНИЕ УСТРОЙСТВА ЗАДЕРЖКИ СИГНАЛА С ИЗМЕНЯЕМОЙ ДЛИТЕЛЬНОСТЬЮ ЗАДЕРЖКИ

***Аннотация:** Статья посвящается разработке устройства задержки сигнала с изменяемой длительностью на ПЛИС с использованием программы Quartus. Статья направлена на решение следующих задач: приобретение практических навыков в области проектирования цифровых устройств на основе ПЛИС; приобретение умений выполнения требований технического задания на проектирование цифровых устройств; приобретение умений использования средств и методов автоматизированного проектирования при разработке цифровых устройств.*

***Ключевые слова:** средство синтеза, сигнал, задержка, линия, устройство, цифровой.*

***Annotation:** the Article is devoted to the development of a signal delay device with variable duration on FPGAs using the Quartus program. The article is aimed at solving the following tasks: acquisition of practical skills in the field of designing digital devices based on FPGA; acquisition of skills to fulfill the requirements of the technical specification for the design of digital devices; acquisition of skills to use tools*

and methods of computer-aided design in the development of digital devices.

Keywords: *synthesis medium, signal, delay, line, device, digital.*

Since the Verilog hardware description language is used to model physical systems, much attention is paid to the binding of an event to a specific point in time. For this purpose the mechanism of delays is used.

Так как язык описания аппаратуры Verilog используется для моделирования физических систем, то большое внимание уделено привязке события к определенному моменту времени. Для этого используется механизм задержек.

Следует заметить, что средства синтеза (как для Verilog, так и для VHDL) игнорируют временные конструкции в исходном коде. Для правильной генерации цифровой схемы (нет листа) из библиотечных элементов в средства синтеза, наряду с описанием на языке высокого уровня вводятся файлы, содержащие описания «constrain». В этих файлах описываются временные ограничения распространения сигналов. Применяемый для этого синтаксис не стандартизован и определяется используемым средством синтеза. Профессиональная работа с HDL-языками высокого уровня подразумевает не только умение создавать грамотные поведенческие описания, но и умение правильно управлять средством синтеза с помощью «constrain». Однако для моделирования временной контроль необходим.

При проектировании различных цифровых устройств, в частности, контроллеров, часто требуется организовать задержку подачи одного и того же сигнала на различные выходы ПЛИС или на другие элементы внутри ПЛИС, что и будет реализовано в данном курсовом проекте.

«Линия задержки – устройство, предназначенное для задержки электрических и электромагнитных сигналов на заданный промежуток времени» [1].

Существуют ЛЗ для задержки электрических сигналов (НЧ, ВЧ, СВЧ) и для

задержки оптических (световых) сигналов.

ЛЗ для задержки электрических сигналов:

- Аналоговые ЛЗ.
 - ЛЗ на линиях с распределёнными параметрами (кабельные, волноводные).
 - Искусственные ЛЗ (цепи с сосредоточенными параметрами).
 - ЛЗ с преобразованием электрических сигналов в сигналы другой физической природы (ультразвуковое, оптическое излучение) и обратно.
- Цифровые ЛЗ.
 - Аппаратно реализованные цифровые ЛЗ.
- Программно реализованные ЛЗ.
- Акустооптические ЛЗ.
 - Акустооптические ЛЗ с прямым детектированием.
 - Акустооптические ЛЗ гетеродинного типа.

ЛЗ подразделяются также на широкополосные (как правило, с нижней частотой 0 Гц) и узкополосные (для задержки сверхвысокочастотного или оптического сигнала). СВЧ и оптические линии бывают дисперсионными (групповая скорость зависит от частоты) и бездисперсионными.

Наиболее простой способ реализации задержки электрического сигнала – использование в качестве задерживающей среды длинных линий передачи, так как скорость распространения сигнала в таких линиях конечна и относительно стабильна, сигнал при прохождении через линию задерживается на время пропорциональное её длине.

В качестве линии могут использоваться радиочастотные кабели, полосковые и микрополосковые линии, а также волноводы; длинная электрическая линия обязательно должна иметь согласованную нагрузку на выходе, равную её волновому сопротивлению для предотвращения отражений сигнала от её конца и возникающего при этом искажения сигнала.

Конструктивная реализация:

- встраиваемые бескорпусные ЛЗ в виде бухты кабеля с выводами

под распайку или с коаксиальными разъёмами;

- встраиваемые ЛЗ на полосковых или ферритовых волноводах в виде микромодуля или микросхемы;
- ЛЗ как самостоятельные устройства (калибраторы), имеют корпус с разъемами, могут содержать одну, две или несколько ЛЗ, а также, дополнительные элементы – аттенюатор, ферритовый вентиль, элементы коммутации коаксиальных трактов.

Реализация устройства задержки сигнала с изменяемой длительность задержки, начинается с написания программного кода в программе Quartus на языке описания аппаратуры Verilog HDL, используемого для описания и моделирования электронных систем.

```
1  module gkursach(clk,A1,vhod,out);
2  input [2:0]A1;
3  input clk;
4  input vhad;
5  output out;
6  reg B1,B2,B3,B4,B5,B6,B7,B8,B9,B10,B11,B12,B13,B14;
7  reg out1;
8  always @(posedge clk)
9  begin
10     if(A1==3'b001)
11     begin
12         B1<=vhod;
13         B2<=B1;
14         B3<=B2;
15         out1<=B3;
16     end
17     else if (A1==3'b010)
18     begin
19         B1<=vhod;
20         B2<=B1;
21         B3<=B2;
22         B4<=B3;
23         B5<=B4;
24         B6<=B5;
25         B7<=B6;
26         B8<=B7;
27         out1<=B8;
28     end
29     else if (A1==3'b100)
30     begin
31         B1<=vhod;
32         B2<=B1;
33         B3<=B2;
34         B4<=B3;
35         B5<=B4;
36         B6<=B5;
37         B7<=B6;
38         B8<=B7;
39         B9<=B8;
40         B10<=B9;
41         B11<=B10;
42         B12<=B11;
43         B13<=B12;
44         B14<=B13;
45         out1<=B14;
46     end
47     end
48     assign out=out1;
49 endmodule
50
```

Рисунок 1. Код на языке Verilog цифрового устройства задержки сигнала с изменяемой длительностью задержки.

Принцип действия спроектированного цифрового устройства задержки осуществляется за счет пересчета триггеров. При различных комбинациях в регистре A1 выполняется один из трех возможных режимов работы устройства. При комбинации 001 задержка минимальна, при комбинации 100 максимальна.

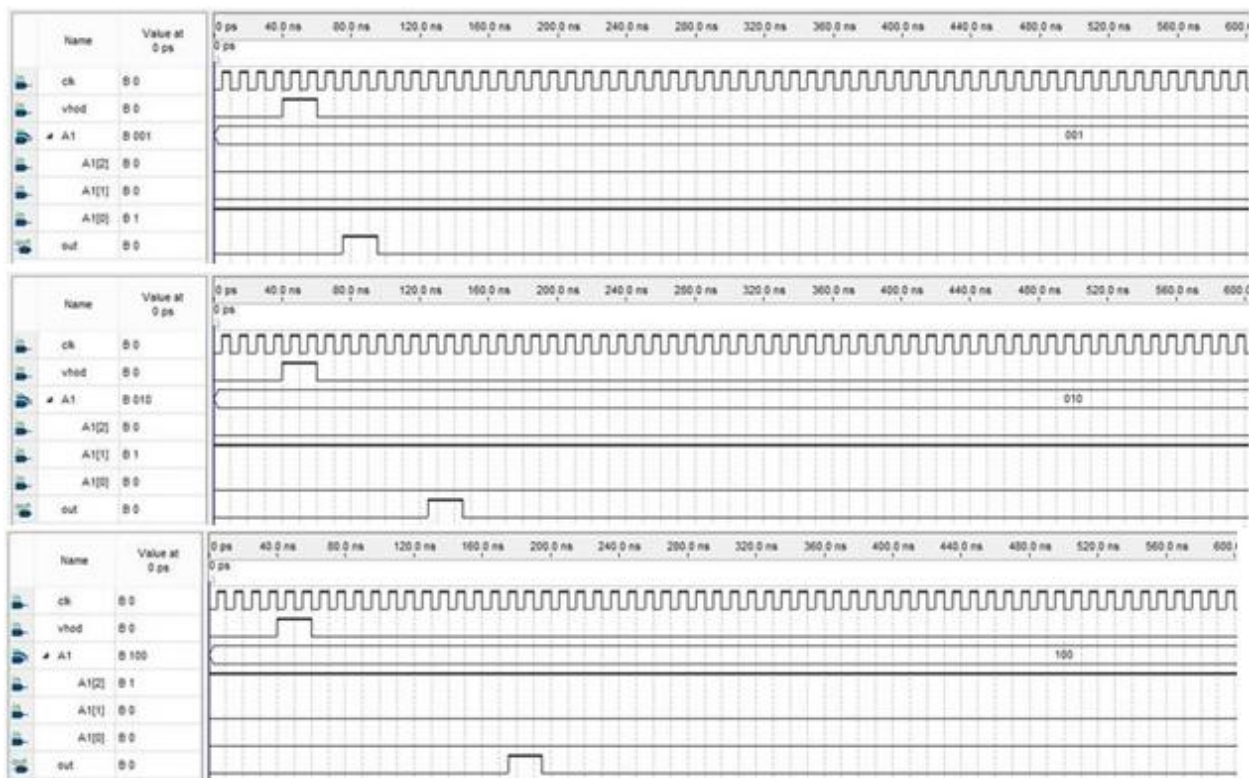


Рисунок 2. Временные диаграммы работы устройства задержки.

Использованные источники

1. Общие понятия линии задержки. Сайт Википедия. [Электронный ресурс]. URL: https://ru.wikipedia.org/wiki/Линия_задержки (дата обращения: 10.12.19).