

*Аверченко А.П.,
старший преподаватель кафедры "Средства связи и
информационная безопасность"
Омский Государственный Технический Университет
Россия, г. Омск
Бекжанов Т.М.
студент
4 курс, факультет «Радиотехнический»
Омский Государственный Технический Университет
Россия, г. Омск*

РАЗРАБОТКА УСТРОЙСТВА "ГИРЛЯНДА" В ПРОГРАММНОЙ СРЕДЕ QUARTUS

***Аннотация:** В настоящее время широкое распространение по всему миру имеют различные иллюминации, украшающие городской и уличный интерьер. В основном, в качестве уличного украшения применяют ёлочные гирлянды. Следовательно, разработка, проектирование и применение новых видов светодиодных гирлянд является одной из актуальных задач в украшении интерьера и ландшафта. В данной статье произведена разработка устройства "последовательно-параллельного преобразователя" для ПЛИС при помощи программной среды Quartus на языке описания аппаратуры Verilog.*

***Ключевые слова:** сигнал, устройство, напряжение, схема, значение, преобразователь, цифровой, вход, задержка.*

***Annotation:** Currently, various illuminations that decorate the city and street interiors are widely used around the world. Basically, as a street decoration, Christmas tree garlands are used. Therefore, the development, design and application of new types of led garlands is one of the most important tasks in decorating the interior and landscape. this article describes the development of a "series-parallel Converter"*

device for FPGAs using the Quartus software environment in the Verilog hardware description language.

Keywords: signal, device, voltage, circuit, value, Converter, digital, input, delay.

Последовательно-параллельные АЦП являются компромиссом между стремлением получить высокое быстродействие и желанием сделать это по возможности меньшей ценой. Последовательно-параллельные АЦП занимают промежуточное положение по разрешающей способности и быстродействию между параллельными АЦП и АЦП последовательного приближения. Последовательно-параллельные АЦП подразделяют на многоступенчатые, многотактные и конвейерные.

В многоступенчатом АЦП процесс преобразования входного сигнала разделен в пространстве. В качестве примера на рисунке 1 представлена схема двухступенчатого 8-разрядного АЦП.

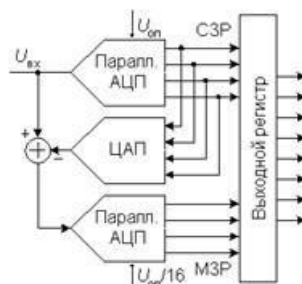


Рисунок 1 - структурная схема двухступенчатого АЦП

Верхний по схеме АЦП осуществляет грубое преобразование сигнала в четыре старших разряда выходного кода. Цифровые сигналы с выхода АЦП поступают на выходной регистр и одновременно на вход 4-разрядного быстродействующего ЦАП. Во многих ИМС многоступенчатых АЦП (AD9042, AD9070 и др.) этот ЦАП выполнен по схеме суммирования токов на дифференциальных переключателях, но некоторые (AD775, AD9040A и др.) содержат ЦАП с суммированием напряжений. Остаток от вычитания выходного напряжения ЦАП из входного напряжения схемы поступает на вход АЦП2,

опорное напряжение которого в 16 раз меньше, чем у АЦП1. Как следствие, квант АЦП2 в 16 раз меньше кванта АЦП1. Этот остаток, преобразованный АЦП2 в цифровую форму, представляет собой четыре младших разряда выходного кода. Различие между АЦП1 и АЦП2 заключается прежде всего в требовании к точности: у АЦП1 точность должна быть такой же как у 8-разрядного преобразователя, в то время как АЦП2 может иметь точность 4-разрядного [1, с.6].

Грубо приближенная и точная величины должны, естественно, соответствовать одному и тому же входному напряжению $U_{вх}(t_j)$. Из-за наличия задержки сигнала в первой ступени возникает, однако, временное запаздывание. Поэтому при использовании этого способа входное напряжение необходимо поддерживать постоянным с помощью устройства выборки- хранения до тех пор, пока не будет получено все число.

Напишем Verilog для «Преобразователя». Для этого зададим название модуля `module kurs` с входами `(clk)`, `(B)`, выходом `(C)`. Зададим диапазон для выхода `output [7:0]`.

Назначим для первого регистра `reg [7:0]` параметр `A`. Назначим для второго регистра `reg [3:0]` параметр `D`. Регистр `reg` в языке Verilog обозначает переменную, которая может хранить значение.

Ключевые слова `posedge` и `negedge` применяются для того, чтобы указать с каким фронтом сигнала (переменной) данное событие связано: с возрастающим (из лог. 0 до лог. 1) или спадающим (из лог. 1 до лог. 0).

Запишем условия: с каждым тактом счетчика: если `D` не равен параметру `4'd7` (4-х битное десятичное число 7), то параметр `D` увеличивается на `4'd1` (4-х битное десятичное число 1).

Конкатенация позволяет увеличить разрядность цепей, регистров и т.д.

Ключевые символы «`{}`»

Далее с помощью конкатенации приводим условие, где регистр `A` равен объединению регистра `A` и входа `B`. Установим непрерывную связь между выходом `C` и регистром `A`, через `assign C=A`.

Данный код приведен на рисунке 2.

```
1 module kurs (clk, B, C);
2 input clk;
3 input B;
4 output [7:0] c;
5 reg [7:0] A;
6 reg [3:0] D;
7 always @ (posedge clk)
8 begin
9     if (D!=4'd7)
10    begin
11        D=D+4'd1;
12        A={A, B};
13    end
14    end
15    assign C=A;
16 endmodule
```

Рисунок 2 - Verilog для преобразователя.

С помощью Simulation Waveform editor задаем значение входов clk и B, выхода C проверяем преобразователь.

На вход clk задаем тактовый импульс с частотой в 50 Гц. На входе B выставляем "0" и "1" в восьмеричной разрядности

Наблюдаем значение разрядов на выходе C. За счет регистра D (тормоза) значения преобразователя фиксируются на значении 8-го разряда

Данная проверка приведена на рисунке 3.

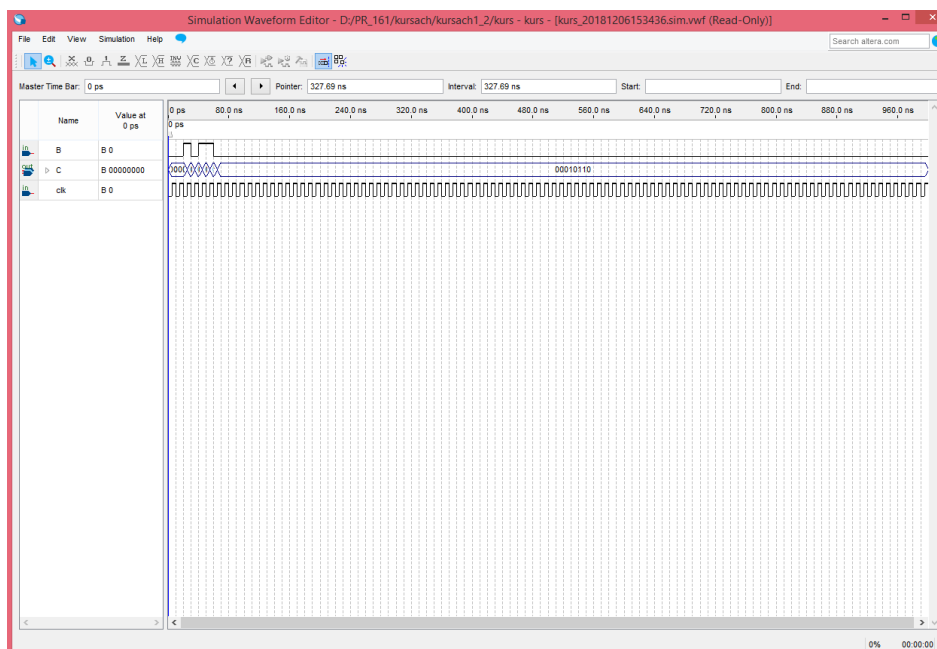


Рисунок 3 - Simulation Waveform editor для преобразователя.

В данном случае был изучен принцип действия счетчика, при достижении определенного фиксирует данные значения.

Использованные источники:

1. Одинец А.И., Науменко А.П. Цифровые устройства: АЦП и ЦАП: Учеб. пособие. – Омск: Изд-во ИРСИД, 2006.- 48 с.